

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **04326734 A**(43) Date of publication of application: **16.11.92**

(51) Int. Cl.

H01L 21/338
H01L 29/812
H01L 21/20
H01L 29/205

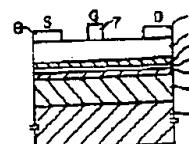
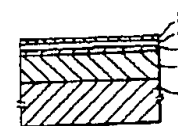
(21) Application number: **03096857**(22) Date of filing: **26.04.91**(71) Applicant: **SUMITOMO ELECTRIC IND LTD**(72) Inventor: **KUWATA NOBUCHIKA**(54) **FIELD-EFFECT TRANSISTOR**

(57) Abstract:

PURPOSE: To provide an FET which realizes a low noise and a high-speed operation and which uses GaInAs as a channel layer.

CONSTITUTION: In an FET by this invention, a structure where an n-type $\text{Ga}_{1-x}\text{In}_x\text{As}$ layer is sandwiched between $\text{Ga}_{1-x}\text{In}_x\text{As}$ graded layers 3 and 5 whose In composition has been changed gradually is formed on a GaAs substrate 1 via a buffer layer 2, and, in addition, a cap layer 6 is formed on it. Thereby, a region where electrons exist is overlapped partly with the undoped GaInAs graded layers 3, 5, and the electrons are provided with a speed overshoot which is higher than that of conventional FET's. As a result, it is possible to obtain a low source resistance and a high transconductance (g_m).

COPYRIGHT: (C)1992,JPO&Japio



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-326734

(43) 公開日 平成4年(1992)11月16日

(51) IntCl. ⁵	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L 21/338				
29/812				
21/20		9171-4M		
29/205		7377-4M		
		7739-4M		
			H 0 1 L 29/80	B
			審査請求 未請求 請求項の数1(全 3 頁)	

(21) 出願番号 特願平3-96857

(22) 出願日 平成3年(1991)4月26日

(71) 出願人 000002130

住友電気工業株式会社

大阪府大阪市中央区北浜四丁目5番33号

(72) 発明者 桑田 展男

神奈川県横浜市栄区田谷町1番地 住友電気工業株式会社横浜製作所内

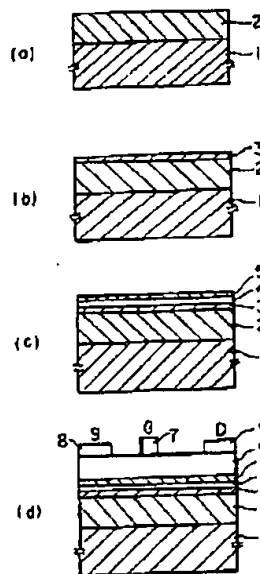
(74) 代理人 弁理士 長谷川 芳樹 (外3名)

(54) 【発明の名称】 電界効果トランジスタ

(57) 【要約】

【目的】 低雑音、高速動作を実現するGaInAsをチャネル層とするFETを提供することを目的とする。

【構成】 本発明のFETは、n型Ga_{1-x}In_xAs層チャネル層を1n組成を徐々に変化したGa_{1-x}In_xAsグレーディッド層3および5で挟み込んだ構造をGaAs基板1上にバッファ層2を介して形成し、さらにその上にキャップ層6を形成したものである。これにより、電子の存在する領域がノンドープのGaInAsグレーディッド層3、5に一部重なり、従来のFETよりも電子は高い速度オーバーシュートを有する。そのため、低いソース抵抗、高いトランスコンダクタンス(g_m)を得る。



(2)

特開平4-326734

1

【特許請求の範囲】

【請求項1】 半絶縁性GaAs基板1と、この半絶縁性GaAs基板上に形成されGaAsに格子整合する高抵抗の半導体からなるバッファ層と、このバッファ層上に、GaAsからIn組成、Xを徐々に上げて形成された第1のノンドープGa_{1-x}In_xAsグレーディッド層、グレーディッド層の上に、グレーディッド層の上面とIn組成、Xがほぼ一致しており不純物がドーパされたn型Ga_{1-x}In_xAsチャネル層と、このチャネル層の上に、In組成、Xがチャネル層の上面とほぼ一致した状態から徐々に下がって上面ではGaAsとなっている第2のGa_{1-x}In_xAsグレーディッド層と、このグレーディッド層5の上に形成されたGaAsまたはAlGaAsからなるキャップ層と、このキャップ層の上に形成されたソース、ドレイン、およびゲートの各電極とを有することを特徴とする電界効果トランジスタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は低雑音かつ高速で動作する電界効果トランジスタ（FET）に関するものである。

【0002】

【従来の技術】 n型のGaInAsをチャネルとするFETに関する技術として、例えば、特開昭63-90861号、特開昭63-272080号、特開昭64-2371号などがある。

【0003】

【発明が解決しようとする課題】 これらの技術では、GaInAs中に均一にSiをドーピングしているため、キャリアである電子はこのSiに散乱され、十分な速度オーバーシュート効果が得られず、十分な特性が得られなかった。また、特開昭63-90861号では、GaInAs層中にSiをプラナードープさせる技術が開示されているが、プラナードープ層だけでは、深いゲートしきい値電圧 V_{th} を持ったFETを作ることが難しい。そのため、①高い出力を持ったFETを作製できない、②回路設計上の余裕度が小さい等の問題があった。本発明は、GaInAsをチャネルとするFETにおいて、従来のものよりも高速で動作し、しかも低雑音のFETを提供することを目的とする。

【0004】

【課題を解決するための手段】 かかる目的を達成するために本発明のFETは、n型Ga_{1-x}In_xAsチャネル層をIn組成、Xを徐々に変化させたGa_{1-x}In_xAsグレーディッド層で挟み込んだ構造をGaAs基板上にバッファ層を介して形成し、さらにその上にキャップ層を形成したものである。

【0005】

【作用】 キャリアである電子の存在する領域がすべてチャネル層にあるのではなく、一部がグレーディッド層に

2

あるため、電子は高い速度オーバーシュートを有する。そのため、ソース抵抗が低くなり、トランスコンダクタンス（ g_m ）が高くなる。これにより、低雑音、高速動作が達成される。

【0006】

【実施例】 図1は、本発明の一実施例であるFETの製造工程を示す工程断面図である。半導体基板としてGaAs基板1を用い、このGaAs基板1の上に、例えば有機金属気相成長法（OMVPE法）により、ノンドープGaAs単結晶であるバッファ層2（バックグラウンドp型、 $p=3 \times 10^{13} \text{ cm}^{-3}$ ）を5000オングストロームの厚さにエピタキシャル成長させる（図1（a）参照）。次に、GaAsからIn組成、Xを徐々に上げ、表面ではIn組成、Xが0.15となっているノンドープGa_{1-x}In_xAsのグレーディッド層3を50オングストロームの厚さに成長させる（図1（b）参照）。ついで、このグレーディッド層3の上に、Siを均一にドーピングしたn型Ga_{1-x}In_xAs（ $n=4 \times 10^{18} \text{ cm}^{-3}$ ）からなるチャネル層4を50オングストロームの厚さに成長させる（図1（c）参照）。なお、このチャネル層4のIn組成、Xは、グレーディッド層3の上面のIn組成とほぼ一致しており、 $X=0.15$ である。次に、このチャネル層4の上に、In組成、Xを徐々に下げ最上面ではGaAsとなっているGa_{1-x}In_xAsからなるグレーディッド層5を50オングストロームの厚さに形成する（図1（d）参照）。その後、グレーディッド層5の上にノンドープGaAs単結晶からなるキャップ層6を400オングストロームの厚さに成長させる。そして最後に、このグレーディッド層5の上にゲート電極7、ソース電極8、ドレイン電極9を形成して本実施例のFETが形成される（図1（e）参照）。

【0007】 次に、このようにして作製されたFETの動作を図2のエネルギーバンド図と共に説明する。図2（a）は、従来のSiを均一にドーピングさせたn型のGaInAsチャネルFETのチャネル部分を拡大したエネルギーバンド図である。同図において、符号21はGaInAsチャネル層、符号22はGaAsバッファ層、符号23はキャップ層をそれぞれ示しており、符号24は伝導帯レベル、符号25は価電子帯レベルをそれぞれ示している。これに対して図2（b）は、本実施例のFETのチャネル部分を拡大したエネルギーバンド図である。このバンド図では、図1の各エピタキシャル層2～6に対応する部分を同一の符号で示しており、符号26は伝導帯レベル、符号27は価電子帯レベルをそれぞれ示している。なお、図2（a）（b）において、 E_o および E_i は量子化されたエネルギー準位を示しており、一点鎖線で示した曲線31、32はそれぞれエネルギー準位 E_o および E_i における電子の存在確率を示している。

(3)

特開平4-326734

3

【0008】この2つの図からわかるように、従来のFET（図2（a）参照）では、電子の存在する領域が、ほとんどチャネル層21によるn型GaInAsの量子井戸内であり、電子はGaInAs中のSiにより散乱され十分な速度オーバーシュートが得られない。そのため、ソース抵抗の増大、およびトランスコンダクタンス（gm）の低下を招く。これに対して、本実施例のFETでは、電子の存在する領域がノンドープのGaInAsグレーディッド層3、5に一部重なるため、従来のFETよりも電子は高い速度オーバーシュートを有する。そのため、低いソース抵抗、高いトランスコンダクタンス（gm）を得ることができる。

【0009】また、GaAsに対して格子整合しないn型GaInAsチャネル層4をGaAsグレーディッド層3、5で挟んでいるので、格子不整合による歪みを緩和する効果があり、電子の輸送特性が改善される効果も期待できる。

【0010】

【発明の効果】以上説明したように、本発明のFETに

よれば、従来のGaInAsをチャネル層とするFETに比較して、低いソース抵抗、高いトランスコンダクタンス（gm）を得ることができる。したがって、低雑音、高速動作を達成することができる。

【図面の簡単な説明】

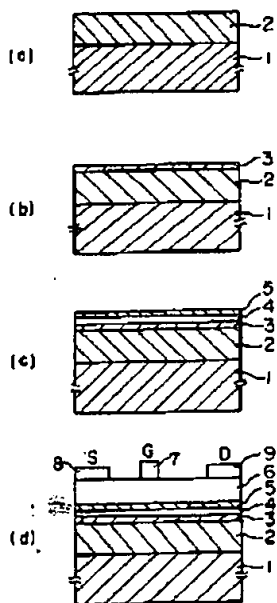
【図1】本発明の一実施例であるFETの製造方法を示す工程断面図。

【図2】本実施例の動作を説明するためのエネルギーバンド図。

【符号の説明】

- 1…GaAs基板
- 2…バッファ層
- 3…グレーディッド層
- 4…チャネル層
- 5…グレーディッド層
- 6…キャップ層
- 7…ゲート電極
- 8…ソース電極
- 9…ドレイン電極

【図1】



【図2】

